

(51) Int.Cl. ⁷	識別記号	F I	特許庁 (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 V
G 0 2 F 1/1368		G 0 2 F 1/136	5) 0
H 0 1 L 29/43		H 0 1 L 29/62	Q
21/336		29/78	6 1 2 B
			6 1 3 A

審査請求 未請求 請求項の数12 ○L (全 31 頁) 最終頁に続く

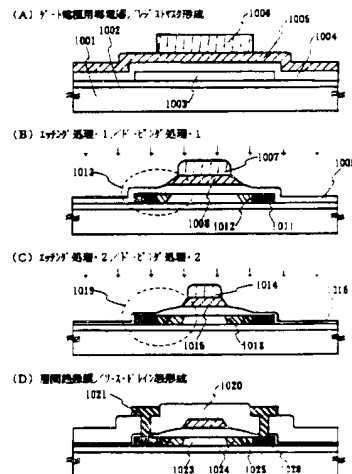
(21) 出願番号	特願2000-347343 (P2000-347343)	(71) 出願人	000152878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成12年11月14日 (2000. 11. 14)	(72) 発明者	小野 幸治 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31) 優先権主張番号	特願平11-330174	(72) 発明者	斎沢 英臣 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32) 優先日	平成11年11月19日 (1999. 11. 19)	(72) 発明者	荒尾 達也 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体装置及びその作製方法

(37) 【要約】

【課題】 アクティブマトリクス型の表示装置に代表される半導体装置において、各種回路に配置される T F T の構造を回路の機能に依りて適切なものとして、半導体装置の動作特性および信頼性を向上させると共に、工程数を削減して製造コストの低減と歩留まりの向上を実現することを目的としている。

【解決手段】 半導体層と該半導体層に接して形成された絶縁膜と該絶縁膜の上にゲート電極を有する半導体装置において、半導体層は、チャネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、チャネル形成領域に接し D D 領域を形成する第2の不純物領域を有し、第2の不純物領域の一部はゲート電極と重ねて設けられ、第2の不純物領域に含まれる一導電型の不純物元素の濃度は、チャネル形成領域から遠ざかるにつれて高くなる。



【特許請求の範囲】

【請求項1】半導体層と、該半導体層に接して形成された絶縁膜と、該絶縁膜の上にゲート電極を有するゲート電極とを有する半導体装置において、前記半導体層は、チャンネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、該チャンネル形成領域に接し、この領域を形成する第2の不純物領域を有し、前記第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、前記チャンネル形成領域から遠ざかるにつれて高くなることを特徴とする半導体装置。

【請求項2】 α チャンネル型薄層トランジスタを有する半導体装置において、前記 α チャンネル型薄層トランジスタは、 α 半導体層と、該 α 半導体層に接して形成された絶縁膜と、該絶縁膜の上にゲート電極を有するゲート電極とを有し、前記 α 半導体層は、チャンネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、該チャンネル形成領域に接し、この領域を形成する第2の不純物領域を有し、前記第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、前記チャンネル形成領域から遠ざかるにつれて高くなることを特徴とする半導体装置。

【請求項3】 α チャンネル型薄層トランジスタと β チャンネル型薄層トランジスタを有する半導体装置において、前記 α チャンネル型薄層トランジスタと前記 β チャンネル型薄層トランジスタは、それぞれ半導体層と該半導体層に接して形成された絶縁膜と該絶縁膜の上にゲート電極を有するゲート電極とを有し、前記 α チャンネル型薄層トランジスタの半導体層は、チャンネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、該チャンネル形成領域に接し、この領域を形成する第2の不純物領域を有し、前記第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、前記チャンネル形成領域から遠ざかるにつれて高くなり、前記 β チャンネル型薄層トランジスタの半導体層は、チャンネル形成領域と、ソース領域またはドレイン領域を形成する第3の不純物領域と、該チャンネル形成領域に接し、この領域を形成する第4の不純物領域を有し、前記第4の不純物領域と第3の不純物領域とは、前記一導電型の不純物元素と一導電型とは逆の導電型の不純物元素を含むことを特徴とする半導体装置。

【請求項4】前記部を有する半導体装置において、前記前記部の各素子に設けられるゲート電極と同一の電極トランジスタは、 α 半導体層と、該 α 半導体層に接して形成された絶縁膜と、該絶縁膜の上にゲート電極を有するゲート電極とを有し、前記半導体層は、チャンネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン

領域を形成する第1の不純物領域と、該チャンネル形成領域に接し、この領域を形成する第2の不純物領域を有し、前記第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、前記チャンネル形成領域から遠ざかるにつれて高くなることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項4のいずれか一項において、前記ゲート電極を有するゲート電極のゲート電極の角度は、 30° 度から 90° 度であることを特徴とする半導体装置。

【請求項6】請求項1乃至請求項4のいずれか一項において、前記ゲート電極を有するゲート電極は、タンダムゲート、タンダル、チャタリから選ばれた元素、または前記元素を成分とする化合物膜から成ることを特徴とする半導体装置。

【請求項7】半導体層上に絶縁膜を形成する第1の工程と、前記絶縁膜上に導電層を形成する第2の工程と、前記導電層を選択的にエッチングして第1のゲート形状を有する導電層を形成する第3の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第4の工程と、前記第1のゲート形状を有する導電層を形成する第5の工程と、前記第5の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第6の工程と、を有し、前記第6の工程でドーピングする一導電型の不純物元素の濃度は、前記第4の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項8】 α チャンネル型薄層トランジスタを有する半導体装置の作製方法において、前記 α チャンネル型薄層トランジスタを形成する半導体層上に絶縁膜を形成する第1の工程と、前記絶縁膜上に導電層を形成する第2の工程と、前記導電層を選択的にエッチングして第1のゲート形状を有する導電層を形成する第3の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第4の工程と、前記第4のゲート形状を有する導電層を選択的にエッチングして第2のゲート形状を有する導電層を形成する第5の工程と、前記第5の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第6の工程と、を有し、前記第6の工程でドーピングする一導電型の不純物元素の濃度は、前記第4の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項9】 α チャンネル型薄層トランジスタと β チャンネル型薄層トランジスタを有する半導体装置において、前記 α チャンネル型薄層トランジスタと β チャンネル型薄層トランジスタを形成するそれぞれの半導体層上に絶縁膜を形成する第1の工程と、前記絶縁膜上に導電層を形成する第2の工程と、前記導電層を選択的にエッチングして

第1のテーパー形状を有する導電層を形成する第2の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第4の工程と、前記第1のテーパー形状を有する導電層を選択的にエッチングして第2のテーパー形状を有する導電層を形成する第5の工程と、前記第5の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第6の工程と、前記第6の工程の後に一導電型の不純物元素をドーピングする第7の工程と、を有し、前記第6の工程でドーピングする一導電型の不純物元素の濃度は、前記第4の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項1-1】画素部を有する半導体装置の作製方法において、前記画素部に画素に設けられる薄膜トランジスタを形成する半導体層上に絶縁膜を形成する第1の工程と、前記絶縁膜上に導電層を形成する第2の工程と、前記導電層を選択的にエッチングして第1のテーパー形状を有する導電層を形成する第3の工程と、前記第3の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第4の工程と、前記第1のテーパー形状を有する導電層を選択的にエッチングして第2のテーパー形状を有する導電層を形成する第5の工程と、前記第5の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第6の工程と、を有し、前記第6の工程でドーピングする一導電型の不純物元素の濃度は、前記第4の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項1-1】請求項1乃至請求項1-1のいずれか一項において、前記テーパー部を有するゲート電極のテーパー部の角度は、10度〜70度で形成することを特徴とする半導体装置の作製方法。

【請求項1-2】請求項1乃至請求項1-1のいずれか一項において、前記テーパー部を有するゲート電極は、タンタル、タンタル、モタンから選ばれた元素、または前記元素を成分とする化合物或いは合金で形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁表面を有する基板の上に薄膜トランジスタ（以下、TFTと記す）で構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画素部と駆動回路を同一の基板上に設けた液晶表示装置または表示装置に代表される電気光学装置、およびそのような電気光学装置を搭載した電子機器に好適に利用できる技術を提供する。尚、本明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した機器をその範疇に含んでいる。

【0002】

【従来の技術】駆動素子を配列して画素部を構成した表示装置はアクティブマトリクス型表示装置と呼ばれ、液晶表示装置やエレクトロニクスセンサ（以下、ELと記す）表示装置などが開発されている。駆動素子には絶縁ゲート型のトランジスタが用いられ、好適にはTFTが用いられている。TFTではガラスなどの基板上に気相成膜法などにより半導体膜を形成し、その半導体膜でチャネル形成領域やソース領域やドレイン領域などを形成している。その半導体膜には、シリコン、シリコンゲルマニウムなどシリコンを主成分とする材料が好適に用いられている。半導体膜はその作製法により、非晶質シリコンに代表される非晶質半導体膜と、多結晶シリコンに代表される結晶質半導体膜とに分類することができる。その他に近頃では単結晶シリコン基板上に形成された絶縁ゲート型のトランジスタで画素部を構成する技術も開発されている。

【0003】非晶質半導体（代表的には非晶質シリコン）膜で活性層を形成したTFTでは、非晶質構造などに起因する電子物性的要因から、 $10\text{ cm}^2/\text{V}\cdot\text{sec}$ 以上の電界効果移動度を得ることは殆ど不可能であった。そのため、マトリクス型の液晶表示装置では、画素部において液晶を駆動するためのスイッチング素子（この場合、スイッチング素子として形成したものを以下、画素TFTと記す）として使用することはできても、画像表示を行うための駆動回路を形成することは不可能である。従って、駆動回路はTAB（Tape Automated Bonding方式）やCOG（Chip on Glass方式）を使ってドライバICなどを実装する技術が用いられている。

【0004】一方、結晶構造を含む半導体（以下、結晶質半導体と記す。膜（代表的には、結晶質シリコン、或いは多結晶シリコン）を活性層としたTFTでは、高い電界効果移動度が得られることから各種の機能回路を形成して駆動させることが出来、同一のガラス基板上に画素TFTの他に駆動回路においてシフトレジスタ回路、レガシレジスタ回路、バッファ回路、サンプリング回路などを実現することが可能となった。駆動回路は、nチャネル型TFTとpチャネル型TFTとから成るCMOS回路を基本として形成されている。このような駆動回路の実装技術が根拠となり、液晶表示装置において軽量化および薄型化を推進するためには、画素部の他に駆動回路を同一基板上に一体形成できる結晶質半導体層を活性層とするTFTが適していると考えられている。

【0005】

【発明が解決しようとする課題】TFTの特性から比較すると結晶質半導体層で活性層を形成した方が優れているが、画素TFTの他に各種回路に対応したTFTを作製するためには、その製造工程が複雑なものとなり工程数が増加してしまい問題がある。工程数の増加は製造コストの増加要因になるばかりで、製造歩留まりを低下さ

せる原因となることは明らかである。

【0006】画素TFTと駆動回路のTFTとでは、その回路の動作条件は必ずしも同一ではない。そのことよりTFTに要求される特性も異なるが、特に、チャンネル型TFTで形成される画素TFTでは、オフ電流値が重要として液晶に電圧を印加して駆動させている。液晶は交流で駆動しているため、チャンネル反転駆動と呼ばれる方式が多い採用されている。画素TFTは、チャンネル期間の間、液晶層に蓄積した電荷を保持するためにオフ電流値、TFTでオフ動作時に流れるドレイン電流、を十分低くすることが要求されている。一方、駆動回路のバッファ回路などには高い駆動電圧が印加されるため、高電圧が印加されても壊れないように耐圧を高くすることがある。また電流駆動能力を高めるためには、オフ電流値、TFTでオフ動作時に流れるドレイン電流、を十分確保する必要がある。

【0007】オフ電流値を低減するためのTFTの構造として、低濃度ドレイン(LDD: Lowly Doped Drain)構造が知られている。この構造はチャンネル形成領域に、寄与度低く不純物元素を添加して形成するLDD領域またはドレイン領域との間に低濃度の不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。また、ホトキャリア注入によるオフ電流値の劣化を防ぐための手段として、LDD領域をゲート絶縁膜を介してゲート電極と重ねて配置させた、いわゆるラップド(LD: Water-fall Overlapped LDD)構造がある。このような構造とすることで、ドレイン近傍の高電界が緩和されてホトキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

【0008】しかし、画素TFTと、スイッチング回路やバッファ回路などの駆動回路のTFTとでは、そのバイアス状態も必ずしも同一ではない。例えば、画素TFTにおいてはゲートに大きな逆バイアス、チャンネル型TFTでは負の電圧が印加されるが、駆動回路のTFTでは基本的に逆バイアス状態で動作することはない。また、LDD構造はオフ電流値の劣化を防ぐ効果は高いが、単純にゲート電極と重ねて配置させるだけではオフ電流値が大きくなってしまふ。一方、通常のLDD構造はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホトキャリア注入による劣化を防ぐ効果は低い。このような問題は、特に結晶質シリコンTFTにおいて、その特性が向上し、またアクティブマトリクス型液晶表示装置に要求される性能が高まるほど顕在化してきている。従って、TFTの動作状態の違いを考慮して、かつ上記ホトキャリア効果を防ぐには、LDD領域の不純物濃度やその分布などを最適なものとする必要がある。

【0009】本発明はこのような問題点を解決するための技術であり、TFTを用いて作製するアクティブマトリクス型の表示装置に代表される半導体装置において、

各種回路に配置されるTFTの構造を、回路の機能に応じて適切なものにすることにより、半導体装置の動作特性および信頼性を向上させると共に、製造コストを削減して製造コストの低減および高品質のものを製造することを目指している。

【0010】

【課題を解決するための手段】製造コストの低減および歩留まりを確保するには、工程数を削減することが一つの手段として適用できる。具体的には、TFTの製造に要するフォトリソグラフィの工程数を削減することが必要である。フォトリソグラフィはフォトリソグラフィ技術において、エッチング工程のマスクとするレジストパターンを基板上に形成するために用いる。このフォトリソグラフィを使用することは、半導体工程において、乾燥膜の成膜およびエッチングなどの工程の他に、レジスト剥離、洗浄や乾燥工程などが追加され、フォトリソグラフィの工程においても、レジスト塗布、ブレンディング、露光、現像、ポストバークなどの煩雑な工程が行われることを意味する。

【0011】フォトリソグラフィを削減しても、各種回路に配置されるTFTの構造をその回路の機能に応じて適切なものとする。具体的には、画素部に設けるスイッチング素子用のTFTでは、動作速度よりもオフ電流値を低減させることに重点を置いた構造が望ましい。そのような構造として、マルチゲート構造を採用する。一方、高速動作が要求される駆動回路に設けられるTFTでは、動作速度を高めることと、それと同時に顕著な問題となるホトキャリア注入による劣化を抑制することに重点を置いた構造が必要となる。その構造をLDD領域に工夫を加えて実現する。即ち、チャンネル形成領域とドレイン領域との間に設けるLDD領域において、ドレイン領域に近づいて徐々に導電率制御用の不純物元素の濃度が高くなるような濃度勾配を持たせることにより、ドレイン領域近傍の空乏層において電界が集中するのを緩和する効果を高めることができる。LDD領域の一部はゲート電極と重ねるように設けても良い。

【0012】上記のような不純物元素の濃度勾配を有するLDD領域を形成するために、イオン化した導電率制御用の不純物元素を、電界で加速してゲート電極の一部とゲート絶縁膜、本発明では、ゲート電極と半導体層とに密着してその両者の間に設けられるゲート絶縁膜とゲート絶縁膜からその周辺に領域に近接する絶縁膜を含めてゲート絶縁膜と称する、を通過させて、半導体層にドーピングする方法を用いる。さらに、ゲート電極の形状をゲート電極の端部から内側に向かって徐々に厚さが増加するいわゆるテーパー形状とし、その厚さの変化を利用して半導体層にドーピングする不純物元素の濃度を制御する。即ち、TFTのチャンネル長方向に於いて不純物元素濃度が徐々に変化するLDD領域を形成する。

【0013】具体的には、ゲート電極を形成する導電層

に対して第1のエッチング処理を行い、所定の領域の導電層を除去して半導体層上の一部の領域にゲート絶縁膜が露出させる。このとき導電層は溝部から内部に向かって徐々に厚さが増加するテーパー形状とする。そして、一導電型の不純物元素を添加する第1のドーピング処理を行い、第1の低濃度不純物領域を形成を行う。次に、同様にして第1のエッチング処理と、第2のドーピング処理を行い、第2の低濃度不純物領域を形成を行う。この場合、第2のエッチング処理によってゲート電極の厚さが確定し、第2のドーピング処理の条件を適当なものとすれば、この領域の一部をゲート電極と重ねて設けることができる。

【0014】このように、本発明はエッチング処理とドーピング処理を複数回繰返して、このD領域を形成することの特徴がある。その結果、チャネル長方向に対して濃度の異なるLDD領域を複数形成することができ、LDD領域の不純物濃度を段階的または連続的に変化させることができる。

【0015】ゲート電極を形成する導電層は耐熱性導電性材料を用いることが好ましい。例えば、W、Ta、Ti、Al、Cu、Pt、Ni、Co、Niから選ばれた元素または前記元素を成分とする合金または合金から形成する。このような耐熱性導電性材料を高濃度でドーピングして、さらに溝部をゲート形状とするためには、高濃度プラズマを用いたドーピング処理を適用することが好ましい。高濃度プラズマを導入手法には、マイクロ波や誘導結合プラズマ（Inductively Coupled Plasma (ICP)）を用いたエッチング装置が選んでいる。特に、このエッチング装置はプラズマ制御が容易であり、基板の表面積化にも対応できる。

【0016】以上のように、本発明の構成は、半導体層と、該半導体層に接して形成された絶縁膜と、該絶縁膜の上にテーパー部を有するゲート電極とを有する半導体装置において、半導体層は、チャネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、該チャネル形成領域に接しLDD領域を形成する第2の不純物領域を有し、第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる一導電型の不純物元素の濃度は、チャネル形成領域から遠ざかるにつれて高くなることを特徴としている。

【0017】このような本発明の構成は、基板上にTFTを形成した半導体装置に好適に用いることができる。このチャネル型TFTとこのチャネル型TFTを有する半導体装置においては、このチャネル型TFTの半導体層が、チャネル形成領域と、一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、該チャネル形成領域に接しLDD領域を形成する第2の不純物領域を有し、第2の不純物領域の一部はゲート

電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、チャネル形成領域から遠ざかるにつれて高くなる。このチャネル型TFTの半導体層が、チャネル形成領域と、ソース領域またはドレイン領域を形成する第1の不純物領域と、該チャネル形成領域に接しLDD領域を形成する第2の不純物領域を有し、第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、チャネル形成領域から遠ざかるにつれて高くなることを特徴としている。

【0018】画素部を有する半導体装置においては、各画素に設けられる少なくとも一つのTFTの半導体層は、チャネル形成領域と一導電型の不純物元素を含むソース領域またはドレイン領域を形成する第1の不純物領域と、該チャネル形成領域に接しLDD領域を形成する第2の不純物領域を有し、第2の不純物領域の一部はゲート電極と重ねて設けられ、該第2の不純物領域に含まれる前記一導電型の不純物元素の濃度は、チャネル形成領域から遠ざかるにつれて高くなることを特徴としている。

【0019】また、本発明の半導体装置の作製方法は、半導体層上に絶縁膜を形成する第1の工程と、絶縁膜上に導電層を形成する第2の工程と、導電層を選択的にエッチングして第1のテーパー形状を有する導電層を形成する第3の工程と、第1の工程の後に一導電型の不純物元素を半導体層にドーピングする第4の工程と、第1のテーパー形状を有する導電層を選択的にエッチングして第2のテーパー形状を有する導電層を形成する第5の工程と、第2の工程の後に一導電型の不純物元素を前記半導体層にドーピングする第6の工程とを有し、第5の工程でドーピングする一導電型の不純物元素の濃度は、第4の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴としている。

【0020】このような本発明の構成は、基板上にTFTを形成した半導体装置の作製方法に好適に用いることができる。このチャネル型導膜トランジスタとこのチャネル型導膜トランジスタを有する半導体装置においては、それぞれの半導体層上に絶縁膜を形成する第1の工程と、絶縁膜上に導電層を形成する第2の工程と、導電層を選択的にエッチングして第1のテーパー形状を有する導電層を形成する第3の工程と、第1の工程の後に一導電型の不純物元素を半導体層にドーピングする第4の工程と、第3のテーパー形状を有する導電層を選択的にエッチングして第2のテーパー形状を有する導電層を形成する第5の工程と、第2の工程の後に一導電型の不純物元素を半導体層にドーピングする第6の工程とを有し、第5の工程でドーピングする一導電型の不純物元素の濃度は、第4の工程でドーピングする一導電型の不純物元素の濃度よりも低いことを特徴とし

ている。

【0021】画素部を有する半導体装置の作製方法においては、各画素に設けられるTFTを形成する半導体層上に絶縁膜を形成する第1の工程と、絶縁膜上に導電層を形成する第2の工程と、導電層を選択的にエッチングして第1のゲート電極形状を有する導電層を形成する第3の工程と、第3の工程の後に導電層の不純物元素を半導体層にドーピングする第4の工程と、第1のゲート電極形状を有する導電層を選択的にエッチングして第2のゲート電極形状を有する導電層を形成する第5の工程と、第5の工程の後に導電層の不純物元素を半導体層にドーピングする第6の工程とを有し、第6の工程でドーピングする導電層の不純物元素の濃度は、第4の工程でドーピングする導電層の不純物元素の濃度よりも低いことを特徴としている。

【0022】

【発明の実施の形態】本発明の実施の形態を図1と図2を用いて説明する。図1(A)において、基板1001にはコーニングガラスなどのガラス基板やアルミナセラミックス、酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエチレンサルファイド(PES)など化学的異性を有しないプラスチック基板を用いることができる。また、石英基板を用いても良い。ガラス基板を用いる場合には、ガラス組成点よりも10〜20℃程度低い温度であらかじめ熱処理しておく。その後、工程で基板が変形することを防ぐことができる。

【0023】基板1001のTFTを形成する表面に、基板1001からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜からなる下地膜1002を10〜200Åの厚さで形成する。下地膜は前記絶縁膜の1層で形成しても良いし、複数の層で形成しても良い。

【0024】島状半導体層1003は、非晶質構造を有する半導体膜をレーザアノール法や熱アノール法、またはラピッドサーマルアノール法(RTA法)などで結晶化させた結晶質半導体膜から形成する。また、アブタ法、プラズマCVD法、熱CVD法などで成した結晶質半導体膜から形成しても良い。或いは特開平11-306620号公報で開示された技術によって、触媒元素を用いる結晶化法で結晶質半導体層1003を形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する元素を放出させておくことが好ましい。400〜500℃で1時間程度の熱処理を行い含有する元素量を9atm以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。いざれにしても、このように形成した結晶質半導体膜を選択的にエッチングして所定の場所に島状半導体層1003を形成する。

【0025】または、基板1001上に単結晶シリコン

層を形成した301(Solution 30:Insulator)基板としても良い。この基板にはその構造や作製方法によって、その種類が知られているが、代表的には、SOI(MoX Separation by Implanted Ascent)と、ELET(RA:Exhaustive Layer Transfer)と、チャンネル形成領域、基板(Barrel)と、SOIの触媒領域、などを使用することができる。勿論、その他のSOI基板を使用することも可能である。

【0026】ゲート絶縁膜はプラズマCVD法、スパッタ法、熱CVD法などにより、膜厚を10〜150Å加としてシリコンを含む絶縁膜で形成する。例えば、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜などから形成する。これを第1のゲート絶縁膜1004とする。そして、第1のゲート絶縁膜1004の上にゲート電極を形成するための導電層1005を形成する。この導電層1005は半導性を有する導電性材料から形成することが望ましく、導電層形成しても良いが、必要に応じて二層あるいは三層といった複数の層からなる積層構造としても良い。例えば、タンタル酸、

(W)タンタル酸、チタン(Ti)、モリブデン(Mo)から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成する。また、これらの元素の窒化物である窒化タングステン(W)、窒化タンタル(Ta)、窒化チタン(Ti)、窒化モリブデン(Mo)やシリサイド化合物であるタンタルシリサイド、タンタルシリサイド、チタンシリサイド、モリブデンシリサイドなどとの積層構造を形成しても良い。そして、第1の形状パターン1006を形成する。第1の形状パターン1006はアノール法、プラズマエッチングを用いて、マスク材料で形成する。

【0027】そして図1(B)で示す第1のエッチング処理を行う。このエッチング処理はゲートエッチングであり、導電層1005を第1の形状パターン1006により端部にゲート一部が形成されるようにエッチング処理する。エッチング処理はドライエッチングを用い、好適にはICPエッチング装置を用いて行う。エッチングガスにはFとClの混合ガスを用い、基板にバイアス電圧を印加して行う。少なくとも島状半導体層1003の上に第1のゲート電極を有する導電層1008を形成する。ゲート一部形成後は、上記エッチングガスの混合比、エッチング時の電力、基板間に印加するバイアス電圧によって変化させることができる。最もゲート一部形成を制御できるのは基板間に印加するバイアス電圧である。

【0028】ドライエッチングでは、F、Cl、Br、或はI素素などの元素または該元素を含む化合物の中性種やイオン種により行われる。通常、中性種によるエッチングが支配的であると中性性エッチングでは、ゲート一部は形成されにくくなる。基板間に印加する負の

トマス電圧を印加することにより異方性のエッチングが形成される。ゲート電極を形成するためのエッチングは、基板側にトマス電圧を印加すると同時に、被膜レジストとのエッチング速度が適当に選定される。被膜レジストのエッチング速度レジストのエッチング速度で表す。なお、レジストの厚さは、レジストを同時にエッチングしながら、最終に形成するレジストの形状を適したものであることにより、レジストの端部が除去される。下地にある被膜にゲート電極を形成することができる。第1の形状のマスク101の形状も変化する。第1の形状のマスク101の下の半導体層にゲート電極膜1014が形成され、ゲート電極膜も表面からある程度エッチングされて第2の形状のゲート電極膜1015が形成される。

【0024】その後、ステップ1015をマスクとして、第2のドーピング処理を行い、島状半導体層1016に一導電型の不純物元素を添加する。ドーピング処理は不純物元素をイオン化し電界で加速して半導体層に注入するイオンドーピング法を用いる。一導電型の不純物元素はゲート電極膜を通してその下の半導体層に添加する。一部は一導電型の不純物元素はゲート電極が形成された第1のゲート電極を有する導電層1017の端部及びその近傍を通してその下の半導体層に添加することができる。

【0025】第1の不純物領域1017には一導電型の不純物元素の濃度が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で含まれるようにする。また、第2の不純物領域1018は第1の不純物領域1017と比較して、第2の形状のゲート電極膜1015の厚さが増加する分半導体層に添加される不純物元素の濃度が低下し、第2の不純物領域1018は、 $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度範囲で不純物元素が添加されるようにする。

【0026】図1(B)において点線で囲んだ領域1019の拡大図を図2(A-1)に示す。また、図2(A-2)は不純物元素の濃度分布を任意の単位量で模式的に表す図であり、不純物領域はゲート電極膜とゲート電極のゲート電極の下に形成される。不純物元素の濃度分布は線1019で示され、第1の不純物領域1017から遠ざかるにつれ減少する。この減少の割合は、ゲート電極における加速電圧やドーピング量などの条件、ゲート電極の角度θ1や第1の形状のゲート電極1015の形状により異なってくる。

【0027】次に、図1(B)に示すように第2のエッチング処理を行う。第2のエッチング処理は異方性エッチングであり、第1の形状を有するゲート電極1017のチャネル長方向の幅を短くするようにエッチングする。エッチングの方法は、第1のエッチング処理と同じでありICPエッチング装置を用いる。エッチングガス

には同様によりF₂とH₂の混合ガスを用いる。基板上にトマス電圧を印加して行い、第2のゲート電極を有する導電層1018を形成する。第2のエッチング処理においても下地であるゲート電極膜の一部が除去されエッチングされることにより第2の形状のゲート電極膜1019が形成される。図1(B)の点線で囲んだ領域1019の拡大図を図2(B-1)に示す。第2のゲート電極を有する導電層1018の端部にもゲート電極が形成されるものの、チャネル長方向の幅を短くすることに重点を置いたエッチングのためゲート電極の角度θ2はθ1よりも大きくなる。

【0028】そして、ステップ1014をマスクとして、第2のゲート電極処理を行い、島状半導体層1016に一導電型の不純物元素を添加する。この場合、一部の不純物元素は第1のゲート電極を有する導電層1017の端部及びその近傍を通してその下の半導体層に添加することができる。

【0029】第2のドーピング処理では、半導体層に $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で一導電型の不純物元素が含まれるようにする。図2(B-2)にも示すように、この処理では第1のドーピング処理で形成された第1の不純物領域1017と第2の不純物領域1018にも重ねて一導電型の不純物元素が添加されるが、添加量が低いためその影響を無視することができる。新たに形成される第2の不純物領域1019には一導電型の不純物元素の濃度が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で含まれるようにする。第2の不純物領域1019は、第2のゲート電極を有する導電層1018の厚さが増加する分半導体層に添加される不純物元素の濃度が低下し、第2の不純物領域1019は、 $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度範囲で不純物元素が添加されるようにする。

【0030】図1(B)内では、均一な濃度分布を取り得ないが上記濃度範囲で不純物元素が含まれるようにする。

【0031】第2の不純物領域1019は第2の形状のゲート電極膜1019と第2のゲート電極を有する導電層1018のゲート電極の下に形成される。不純物元素の濃度分布は線1020で示され、第1の不純物領域1017から遠ざかるにつれ減少する。第2のゲート電極を有する導電層1018はゲート電極として用いる。このように、ゲート電極の端部をゲート電極として、ゲート電極を通して不純物元素をドーピングすることにより、ゲート電極の下に存在する半導体層中に、新たに前記不純物元素の濃度が低下するような不純物領域を形成することができる。本発明はこのような不純物領域を積極的に活用する。このような不純物領域を形成することにより、チャネル領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、FETの劣化を防止することができる。

【0032】以上のようにして、島状半導体層1016にソース領域またはドレイン領域となる第1の不純物領域、ゲート電極と重ならないLDD領域を形成する第2

の不純物領域（A）、ゲート電極と一部が重なるシリコン領域を形成する第2の不純物領域（B）及びチャンネル形成領域（103）が形成される。その後、図1（D）に示すように、必要に応じて層間絶縁膜102を形成し、一対の領域または、シリコンとシリコンを形成する配線、104を形成して完成。

【0007】

【実施例】実施例1（本発明の実施例を図1～図5を用いて説明する。ここでは、集電部が面素子トランジスタおよび保持容量と、前素子が周辺に設けられる駆動回路のTFTを同時に作製する方法として、工程によって詳細に説明する。

【0008】図2（A）において、基板101にはコーニング社（Corning Inc.）のサファイア（ 17×17 cm）ガラスなどに代表されるシリコンホウ素、酸ガラスやアルミノホウ酸ガラスなどのガラス基板や石英基板などを用いる。ガラス基板を用いる場合には、ガラス歪み率よりも10～20℃で程度低い温度であるが、熱処理しておいても良い。そして、基板101上のTFTを形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜102を形成する。例えば、プラズマCVD法で SiH_4 、 N_2H_4 、 H_2O から作製される酸化窒化シリコン膜102aを $0.2 \sim 2.0 \mu\text{m}$ （好ましくは $0.5 \sim 1.0 \mu\text{m}$ ）の厚さに H_2 、 SiH_4 から作製される酸化窒化ホウ素シリコン膜102bを $0.5 \sim 2.0 \mu\text{m}$ （好ましくは $1.0 \sim 1.5 \mu\text{m}$ ）の厚さに順層形成する。ここでは下地膜102を二層構造として示したが、前記絶縁膜の単層膜または二層以上の積層させて形成しても良い。

【0009】酸化窒化シリコン膜は平行平板型のプラズマCVDを用いて形成する。酸化窒化シリコン膜102aは SiH_4 を 1.0 SCCM 、 N_2H_4 を 1.0 SCCM 、 N_2 を 20.0 SCCM として反応室に導入し、基板温度 325°C で、反応圧力 4.0 Pa 、放電電力密度 0.4 W/cm^2 、放電周波数 60 MHz とした。一方、酸化窒化ホウ素シリコン膜102bは、 SiH_4 を 5 SCCM 、 N_2H_4 を 1.2 SCCM 、 H_2 を 1.2 SCCM として反応室に導入し、基板温度 400°C で、反応圧力 2.0 Pa 、放電電力密度 0.4 W/cm^2 、放電周波数 60 MHz とした。これらの膜は、基板温度を変化させ、反応ガス切り替えのみで連続して形成することができる。

【0010】このようにして作製した酸化窒化シリコン膜102aは、密度が $2.5 \times 10^{22} \text{ atoms/cm}^3$ であり、フッ化ホウ素アンモニウム（ NH_4HF_2 ）を 7.1×10 倍とフッ化サリモニウム（ NH_4F ）を 1.5×4 倍含む混合溶液（スチラキメマ化型、商品名LA-500）を $0.2 \sim 0.6$ におけるエッチング速度が約 0.3 nm/min と速く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金

属元素が拡散するのを防ぐのに有効である。

【0011】次に、 $2.5 \sim 5.0 \mu\text{m}$ （好ましくは $3.0 \sim 4.0 \mu\text{m}$ ）の厚さで非晶質構造を有する半導体層103aを、プラズマCVD法やスパッタ法などの方法で形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンがシリコン膜などの非晶質構造を有する化合物半導体膜を適用しても良い。プラズマCVD法で非晶質シリコン膜を形成する場合には、下地膜102と非晶質半導体層103aとは兩者を連続して形成することも可能である。例えば、前述のように酸化窒化シリコン膜102aと酸化窒化ホウ素シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスを SiH_4 、 H_2 、 H_2O から SiH_4 と H_2 （あるいは H_4 ）みに切り替えれば、一気圧低真空気圧に落とすことにより連続形成できる。その結果、酸化窒化ホウ素シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性（ I_{ON} ）を向上させることができる。

【0012】そして、結晶化の工程を行い非晶質半導体層103aから結晶質半導体層103bを作製する。その方法としてレーザアニール法や熱アニール法（面相成膜法）、またはラジカルアニール法（RTA法）を用いることができる。前述のようなガラス基板や耐熱性の劣るセラミック基板を用いる場合には、特にレーザアニール法を適用することが好ましい。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開2000-100607号公報で開示された技術に従って、熱媒元素を用いる結晶化法で結晶質半導体層103bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する不純物を放出させておくことが好ましく、 $100 \sim 500^\circ\text{C}$ で1時間程度の熱処理を行い、含有する不純物を 5 atoms/cm^3 以下にしてから結晶化させると膜表面の汚れを防ぐことができるので良い。

【0013】また、プラズマCVD法で非晶質シリコン膜の形成工程において、反応ガスに SiH_4 とアルゴン

（Ar）を用い、成膜時の基板温度を $400 \sim 450^\circ\text{C}$ として形成すると、非晶質シリコン膜の含有不純物量を 5 atoms/cm^3 以下にすることもできる。このような場合において不純物を放出させるための熱処理は不要となる。

【0014】結晶化をレーザアニール法で行う場合には、パルス発振型または連続発振型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を焦点に集めて、レーザアニールを行う。レーザアニール条件は実施者や適宜選択するものである。例えば、レーザーパルス発振周波数 3 kHz とし、レーザーエネルギー密度を $1.0 \sim 5.0 \text{ J/cm}^2$ （代表的には $3.0 \sim 4.0 \text{ J/cm}^2$ ）とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率

オーバーラップ部」を300〜900nmとして行う。このようにして図3（B）に示すように結晶質半導体層103を得ることができる。

【0044】そして、結晶質半導体層103の上に第1のフォトリソマスク（PM1）を用い、フォトリソグラフィ技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を異方分割し、図1（B）に示すように島状半導体層101〜103を形成する。結晶質シリコン膜のドライエッチングにはCF₄とH₂の混合ガスを用いる。

【0045】このような島状半導体層に対し、TFTのしきり電圧（ V_{th} ）を制御する目的でp型を付与する不純物元素を、 $1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm²程度の濃度の島状半導体層の全面に添加しても良い。半導体に対してp型を付与する不純物元素には、ホウ素（B）、ゲルマニウム（Ge）、ガリウム（Ga）など周期律表第13族の元素が知られている。その方法として、イオン注入法やスパッタ法（或いは、エッチバックフォワードピッチ法）を用いることができるが、前面積基板を処理するには、スパッタ法が適している。イオンドーパ法では、トリガシ（B₂H₆）をソースガスとして用い、ホウ素（B）を添加する。このような不純物元素の注入は必ずしも必要でないが、必ずしも差支えないが、特にnチャネル型TFTのしきり電圧を所定範囲内に収めるために好適に用いる手法である。

【0046】ゲート絶縁膜109はプラズマCVD法またはスパッタ法を用い、厚さを40〜150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜から形成する。また、SiH₄とH₂OにO₂を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。また、SiH₄とN₂OとH₂とから作製する酸化窒化シリコン膜はゲート絶縁膜との界面欠陥密度を低減できるので好ましい。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、TEOS（Tetraethyl Ortho Silicate）とO₂を混合し、圧力を40Pa、基板温度300〜400℃とし、高周波100〜500MHz、電力密度0.5〜1.0W/cm²で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後400〜500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0047】そして、図3（D）に示すように、第1のしきりゲート絶縁膜109上にゲート電極を形成するために耐熱性導電層111を2000〜4000nm（好ましくは2500〜3500nm）の厚さで形成する。耐熱性導電層は単層で形成しても良いし、必要に応じて二層あるいは

三層といった複数の層からなる積層構造としても良い。本明細書における耐熱性導電層には、Ti、W、Moから選ばれた元素、または前記元素を成分とする合金、前記元素を組み合わせた合金膜が含まれる。これらの耐熱性導電層はスパッタ法やCVD法で形成されるものであり、低抵抗化を図るために含有する不純物濃度を低減させることが好ましい。特に窒素濃度に関しては100ppm以下にとると良い。本実施例ではW膜を3000nmの厚さで形成する。W膜はWターゲットを用いてスパッタ法で形成しても良いし、エッチバックタングステン（W/F₂）を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の低抵抗率は200Ωcm以下にすることが望ましい。W膜は結晶粒を大きくすることによって低抵抗化を図ることができるが、W中に酸素などの不純物元素が多量の場合には結晶粒が阻害され高抵抗化する。このことから、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中から下粉物が混入しないように十分配慮してW膜を形成することにより、低抵抗率9〜200Ωcmを実現することができる。

【0048】一方、耐熱性導電層111にTi₂N膜を用いる場合には、前様にスパッタ法で形成することが可能である。Ti₂N膜はスパッタ法にArを用いる。また、スパッタ時スパッタ中に窒素のN₂やN₂Oを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。1相のTi₂N膜の低抵抗率は200Ωcm程度でありゲート電極に使用することができるが、2相のTi₂N膜の低抵抗率は1800Ωcm程度でありゲート電極とするには不向きであった。Ti₂N膜は2相に近い結晶構造を持つので、Ti₂N膜の下地にTi₃N₂膜を形成すれば2相のTi₂N膜が容易に得られる。また、図示しないが、耐熱性導電層111の下地に2〜20nm程度の厚さでリン（P）をドーパしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、耐熱性導電層111が微量に含有するアルカリ金属元素が第1の形状のゲート絶縁膜109に拡散するのを防ぐことができる。いずれにしても、耐熱性導電層111は低抵抗率を100〜5000Ωcmの範囲ですることが好ましい。

【0049】次に、第2のフォトリソマスク（PM2）を用い、フォトリソグラフィ技術を使用してレジストによるマスク113〜117を形成する。そして、第1のエッチング処理を行う。本実施例では、エッチング装置を用い、エッチング用ガスにCl₂、H₂、B₂を用い、10Paの圧力で、12W/cm²のRF（13.56MHz）電力を投入してプラズマを形成して行う。基板側（チタニウム）にも2000W/cm²のRF（13.56MHz）電力を投入し、これにより実質的に負の自己バイアス効果が増加される。この条件でW膜のエッチング速度は500nm/min

である。第1のエッチング処理はこのエッチング速度を基準としてエッチングされる時間を推定し、それよりもエッチング時間を20%増加させた時間をエッチング時間とした。

【0051】第1のエッチング処理により第1のテーパー形状を有する導電層140～145が形成される。図2(a)に示すと同様にテーパー部の角度は15°～30°が形成される。残量を減らすことなくエッチングするためには、10°～20°程度の割合でエッチング時間を増加させるオーバーエッチングを施すものとする。W膜に対する酸化窒化シリコン膜(第1の形状のゲート絶縁膜110)の選択比は2～4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20°～30°の角度でエッチングされ、第1のテーパー形状を有する導電層の端部近傍にテーパー形状が形成された第2の形状のゲート絶縁膜134が形成される。

【0052】そして、第1のドーピング処理を行い、導電層の不純物元素を陽イオン導電層に添加する。ここでは、n型を付与する不純物元素添加の工程を行う。第1の形状の導電層を形成したマスク112～117をそのまま残し、第1のテーパー形状を有する導電層140～145をマスクとして自己整合的にn型を付与する不純物元素を、オンパンプ法で添加する。n型を付与する不純物元素をゲート電極の端部におけるテーパー部とゲート絶縁膜上を通して、その下に位置する半導体層に達するように添加するためにドーパ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ 、加速電圧を300～600 keVにして行う。n型を付与する不純物元素として15秒に置する元素(典型的にはリン(P)または砒素(As))を用いるが、ここではリン(P)を用いた。このようなオンパンプ法により、第1の不純物領域124～125には、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^2$ の濃度範囲でn型を付与する不純物元素が添加され、テーパー部の下方に形成される第2の不純物領域(A)には同領域内で、必ずしも均一ではないが、 $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^2$ の濃度範囲でn型を付与する不純物元素が添加される。

【0053】この工程において、第2の不純物領域(A)129～133において、少なくとも第1の形状の導電層140～145と重なった部分に含まれるn型を付与する不純物元素の濃度変化は、テーパー部の膜厚変化を反映する。即ち、第2の不純物領域(A)129～133に添加されるリン(P)の濃度は、第1の形状の導電層に重なる領域において、導電層の端部から内側に向かって徐々に濃度が低くなる。これはテーパー部の膜厚の差によって、半導体層に達するリン(P)の濃度が変化するためであり、その濃度変化は図2(A-2)で示した通りである。

【0054】次に、図4(B)に示すように第2のエッチング処理を行う。エッチング処理も同様に10%エッチ

ング速度により、エッチング速度は100nm/minの割合でマスク、R.F.電圧3.0kV、 SF_6 ガス100sccm、

バイアス電力150W、 CF_4 100sccm、 C_2F_6 100sccmのプラズマでエッチングを行う。この条件で形成される第1の形状を有する導電層140～145が形成される。その端部にはテーパー部が形成され、該端部から内側に向かって徐々に厚さが増加するテーパー部となる。第1のエッチング処理と比較して基板側に追加するバイアス電力を低くした非等方性エッチングの割合が多くなり、テーパー部の角度は30°～60°となる。また、第2の形状のゲート絶縁膜134の表面に40%程度エッチングされ、新たに第2の形状のゲート絶縁膜134が形成される。【0055】そして、第1のドーピング処理よりもドーパ量を10%増加した加速電圧の条件でn型を付与する不純物元素をドーピングする。例えば、加速電圧を700～1000 keVとし、 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ atoms/cm}^2$ のドーパ量で行い、第2の形状を有する導電層140～145と重なる領域の不純物濃度を $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^2$ となるようにする。このようにして、第2の不純物領域(B)146～149を形成する。

【0056】pチャネル型FETを形成する島状半導体層104、105に導電型とは逆の導電型の不純物領域150a、150bを形成する。この場合も第2の形状の導電層140、145をマスクとしてn型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型FETを形成する島状半導体層104、105、107、108は、第2のオンパンプ(PM1)を用いて100nmのマスク151～157を用いて全面を被覆しており、ここで形成される不純物領域150a、150bは図5(A)(B)(C)を用いたオンパンプ法で形成する。不純物領域150a、150bのn型を付与する不純物元素の濃度は、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^2$ となるようにする。

【0057】しかしながら、この不純物領域150a、150bは詳細にはn型を付与する不純物元素を含有する3つの領域に分けて見ることができる。第3の不純物領域150a、150bは、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^2$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域(A)150c、150dは、 $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^2$ の濃度でn型を付与する不純物元素を含み、第4の不純物領域(B)150e、150fは、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^2$ の濃度でn型を付与する不純物元素を含んでいる。しかし、これらの不純物領域150a、150b、150c、150d、150e、150fのうちを付与する不純物元素の濃度を $1 \times 10^{19} \text{ atoms/cm}^2$ 以上となるようにし、第3の不純物領域150a、150bにおいては、n型を付与する不純物元素の濃度を、5から3倍となるようにすることにより、第3の不純物領域でpチャネル型FETでソース領域およびドレイン領域として機能するために何ら問題は生じない。また、第

4の不純物領域16、16'のうち、16'は一部が第2のゲーバーク状を有する導電層140または142と一部が重なって形成される。

【0053】その後、図6(A)に示すように、ゲーバーク電極およびゲーバーク絶縁膜上から第1の層間絶縁膜153を形成する。第1の層間絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜153は無機絶縁物材料から形成する。第1の層間絶縁膜153の膜厚は100nm～200nmとする。ここで、酸化シリコン膜を用いる場合には、プラズマCVD法でE/SとO₂とを混合し、反応圧力4(Pa)、基板温度300～400℃とし、高周波100～500MHz、電力密度(1～5)W/cm²で放電させて形成することができる。また、酸化窒化シリコン膜を用いる場合には、プラズマCVD法でS(H₄、N₂O、NH₃)から作製される酸化窒化シリコン膜、またはS(H₄、N₂O)から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200Pa、基板温度300～400℃とし、高周波100～500MHz、電力密度(1～10)W/cm²で形成することができる。また、S(H₄、N₂O、NH₃)から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法でS(H₄、N₂O)から作製することが可能である。

【0054】そして、それぞれの奥で添加されたの型または凹型を付与する不純物元素を活性化させる工程を行う。この工程はレーザーアニール法を用いる熱アニール法で行う。その他に、レーザアニール法、またはラビッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは、1ppm以下の窒素雰囲気中で100～700℃、典型的には500～600℃で行うものであり、本実施例では500℃で4時間の熱処理を行った。また、基板101に耐熱温度が低いプラズマ基板を用いる場合にはレーザーアニール法を適用することが好ましい。

【0055】活性化の工程に続いて、雰囲気ガスを変化させ、3～100%の水素を含む雰囲気中で、300～450℃で1～2時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体層にある10¹⁶～10¹⁸cm⁻³のダングリンゲンとを結露する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。いずれにしても、島状半導体層101～103中の欠陥密度を10¹⁶/cm³以下とすることが望ましい。そのために水素を0.01～1.1atmに程度付与すれば良い。

【0056】このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させ

ることができる。また、有機絶縁材料は一般に誘電率が低いため、寄生容量を低減することができる。しかし、活性性がその保護膜としては適さないため、本実施例のみに、第1の層間絶縁膜153として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などを組み合わせて用いると良い。

【0057】その後、第4のフォトマスク154を用い、所定のパターン化、ゲートマスクを形成し、それぞれの島状半導体層に形成されるソース領域またはドレイン領域とする不純物領域に連するコンタクトホールを形成する。コンタクトホールはドライエッチング法で形成する。この場合、エッチングガスにF₂、Cl₂、H₂の混合ガスを用い有機絶縁材料から成る第2の層間絶縁膜155をまずエッチングし、その後、続いてエッチングガスをF₂、Cl₂として第1の層間絶縁膜153をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスをC₂F₄に切り替えて第3の形状のゲーバーク絶縁膜157)をエッチングすることによりコンタクトホールを形成することとなる。

【0058】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、第5のフォトマスク155によりゲートマスクパターンを形成し、エッチングによってパターンの線160～164、エッチング線165～168を形成する。画素電極169はドレイン線と一緒に形成される。画素電極171は溝の両側に偏着する画素電極を表している。図示しては無いが、本実施例ではこの配線と、T₁膜を50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する不純物領域とコンタクトを形成し、そのT₁膜上に重ねてアルミニウム(A₁)を100～400nmの厚さで形成(図5(C))において160a～169aで示す)。さらにその上に透明導電膜を50～120nmの厚さで形成(図5(C))において160b～169bで示す)。した。透明導電膜には酸化インジウム酸化亜鉛合金(In₂O₃:Ga₂O₃)、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにインジウム(In)を添加した酸化亜鉛(ZnO:In)などを好適に用いることができる。

【0059】このように、複数のフォトマスクにより、ゲートの基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT200、第1のnチャネル型TFT201、第2のpチャネル型TFT202、第2のnチャネル型TFT203、画素部には島状TFT204、保持容量C05が形成されている。この回路では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0060】駆動回路の第1のpチャネル型TFT200には、第2のゲーバーク状を有する導電層、ゲーバーク電極209としての機能を有し、島状半導体層101に付

を含む雰囲気中で、(3)より4.5分程度1～1.5時間の熱処理を行う。島状半導体層を水酸化する工程を行う。この工程は熱的に加速された水素による半導体層のダメージングプロセスを加速するものである。水素との他、トリップとして、プラズマを発生し、プラズマにより加速された水素を用いる。を好む。図7(A)。(3)より(4)特性化および水酸化処理の後、ゲート線を低抵抗導電材料で形成する。低抵抗導電材料はA1を用いて形成することができ、このような材料から形成される低抵抗導電層からゲート線を形成する。例えば、A1を1.1～2重量割合含むA1膜を低抵抗導電層として全面に形成する（図8(a)）。低抵抗導電層は2.0～4.0nm好ましくは2.5～3.5nmの厚さで形成する。そして、所定のジストパパターンを形成し、エッチング処理して、ゲート線170、174を形成する。

このとき同時に材料の画素部に設ける保持容量と接続する容量線175も形成する。低抵抗導電層がA1を主成分とする材料である場合には、エッチング処理は、酸系のエッチング溶液によるエッチングで下地との選択加工性を保ちながらゲート線を形成することができる。第1の層間絶縁膜176は実施例1と同様にして形成する（図9(B)）。

【0081】その後、実施例1と同様にして有機絶縁材料から形成する第2の層間絶縁膜180、ソース線181～184、ドレイ線185～186、画素電極187、177を形成してアクティブマトリクス基板を完成させることができる。図7(A)の(A)は、この状態の断面図を示し、図7(A)のB-B'断面および図7

B-B'の断面は図8(C)のB-B'およびC-C'のおよび図7(A)の(2)ではゲート絶縁膜、第1の層間絶縁膜、第2の層間絶縁膜を省略して示しているが、島状半導体層104、105、105の図示されていないソースおよびドレイン領域にソース線180、181、184とドレイン線185、186及び画素電極189がコンタクトホールを介して接続している。また、図7(A)のD-D'断面および図6

B'のB-D'断面を図8(A)と(B)にそれぞれ示す。ゲート線173はゲート電極202、またゲート線174はゲート電極205と島状半導体層104、108の両側に重なるように形成され、ゲート電極と低抵抗導電層とがコンタクトホールを介して接続して電気的に導通している。このようにゲート線を低抵抗導電材料で形成することにより、駆動抵抗を大幅に低減できる。従って、画素部（画素サイズ）が4インチラウエル以上の表示装置に適用することができる。

【0082】（実施例3）実施例1で作製したアクティブマトリクス基板はそのまま反射型の表示装置に適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。本実施例では透過型の液晶表示装置に対応

するアクティブマトリクス基板の作製方法について図11を参照して説明する。

【0083】アクティブマトリクス基板は絶縁面110の領域に作製する（図11）。ここでは、有機配素とドレイン配素は導電性の金属膜をスパッタ法や真空蒸着法で形成する。ドレイン線205を画素として形成する（図11）。

B'の詳細に説明する。まず、図11(A)を参照すると、絶縁面110で形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜110、ゲートを形成する。その上、導通層111を重ねて、絶縁面205を3.0～4.0nmの厚さで形成し、さらに絶縁面205または酸化チタン(TiO₂)膜を3.0～4.0nmの厚さで形成して層構造とする。その後、透明導電膜を全面に形成し、エッチング処理を用いたパターンニング処理およびエッチング処理により画素電極119を形成する。画素電極119は、有機配素材料から形成する第2の層間絶縁膜上に形成され、コンタクトホールを介して画素ドレイン線184とドレイン線186とを重ねる部分を設け電気的な接続を形成している。

【0084】図11(B)では最初に第2の層間絶縁膜上に透明導電膜を形成し、パターンニング処理およびエッチング処理をして画素電極208を形成した後、ドレイン線189を画素電極208とコンタクトホールを介して接続部を形成した例である。ドレイン線189は、図11(D)で示すようにTi膜209aを3.0～1.5nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、その上、絶縁面205aを重ねてA1膜209bを3.0～4.0nmの厚さで形成して設ける。この構成にすると、画素電極208はドレイン配線205aを形成するTi膜209aのみと接触することになる。その結果、透明導電膜材料とA1とが直接接し反応することを確実に防止できる。

【0085】透明導電膜の材料は、酸化インジウム(In₂O₃)、や酸化セリウム(SeO₂)、酸化スズ(SnO₂)、酸化鉛(PbO)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系溶液により行う。しかし、弊害として、のエッチングは残渣が発生し、エッチング加工性を改善するために酸化インジウム(SeO₂)、酸化鉛(PbO)などを逐次平滑性に優れ、エッチングに対して安定性にも優れているので、図11(A)～(B)の構成においてドレイン配線205aの両面を、絶縁面205aと画素電極208とを接触して電極反応をすることを防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を加えた酸化亜鉛(Ga-In-Oxide)などを用いることができる。

【0086】実施例1では反射型の液晶表示装置を作製

できるアクティブマトリクス基板を成るフォトマスクにより作製したが、さらに1枚のフォトマスクの追加

（合計2枚）で、透過型の液晶表示装置に対応したアクティブマトリクス基板を形成させることができる。本実施例では、実施例1と同様な工程として説明したが、このような構成は実施例2で示すアクティブマトリクス基板に適用することができる。

【0037】〔実施例4〕本実施例では、実施例1～実施例3で示したアクティブマトリクス基板のTFTが活性層を形成する結晶質半導体層の他の作製方法について示す。結晶質半導体層は非晶質半導体層を熱アニール生やレーザアニール法、またはRIT法などの結晶化させて形成するが、その他に時間アニール法や513℃で10分間開示されている触媒元素を用いる結晶化法を適用することもできる。その場合の例を図12を用いて説明する。

【0038】図12（A）で示すように、実施例1と同様に、ガラス基板1201上に下地膜1202a、1202b、非晶質構造を有する半導体層1203を25～50nmの厚さで形成する。非晶質半導体層は非晶質シリコン（a-Si）膜、非晶質シリコンゲルマニウム（a-SiGe）膜、非晶質炭化シリコン（a-SiC）膜、非晶質シリコンスズ（a-Si₃Sn）膜などを適用できる。これらの非晶質半導体層は水を0.1～4atom%程度含有するように形成すると良い。例えば、非晶質シリコン膜を5nmの厚さで形成する。そして、重量換算で1～5ppmの触媒元素を含む水溶液をスピナーで基板を回転させて塗布するスピンコート法で触媒元素を含有する層1204を形成する。触媒元素にはニッケル（Ni）、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）などである。この触媒元素を含有する層1204は、スピコート生か他に印刷法やスピン法、バコーター法、或いはスピン法や真空蒸着法によって上記触媒元素の層を1～5nmの厚さに形成しても良い。

【0039】そして、図12（B）に示す結晶化工程では、まず400～500℃で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量をatomic%以下にする。非晶質シリコン膜の含有水素量が0%以下にすると、最初からこの値である場合にはこの熱処理は必ずしも必要でない。そして、ウェルスパアニーリングを用い、窒素雰囲気中で500～600℃で1～3時間の熱アニールを行う。以上の工程により結晶質シリコン膜からなる結晶質半導体層1205を得ることができる（図12（C））。しかし、この熱アニールによって作製された結晶質半導体層1205は、光学顕微鏡観察により巨視的に観察すると局所的に非晶質領域が残存していることが観察されることがあり、このような場合、同様にラマン分光法では480cm⁻¹にブロードなピークを持つ非

晶質成分が観察される。そのため、熱アニールの後に実施例1で説明したレーザアニール法で結晶質半導体層1205を処理してその結晶性を高めることは有効な手段として運用できる。

【0040】図12は同様に触媒元素を用いる結晶化法の実施例であり、触媒元素を含有する層をスパッタ法により形成するものである。まず、実施例1と同様に、ガラス基板1201上に下地膜1202a、1202b、非晶質構造を有する半導体層1203を25～50nmの厚さで形成する。そして、非晶質構造を有する半導体層1203の表面に、5～50nm程度の酸化膜（図示せず）を形成する。このような酸化膜は、プラズマCVD法やスパッタ法などで積極的に該当する被膜を形成しても良いが、100～200℃に基板を加熱してプラズマ化した酸素雰囲気中に非晶質構造を有する半導体層1203の表面を晒しても良い。過酸化水素水（H₂O₂）を含む溶液に非晶質構造を有する半導体層1203の表面を晒して形成しても良い。或いは、酸素を含む雰囲気中で紫外線光を照射してオゾンが発生させ、そのオゾン雰囲気中に非晶質構造を有する半導体層1203を晒すことによっても形成できる。

【0041】このようにして表面に導、酸化膜を有する非晶質構造を有する半導体層1203上に前記触媒元素を含有する層1204をスパッタ法で形成する。この層の厚さに限定はないが、10～100nm程度の厚さに形成すれば良い。例えば、Niをターゲットとして、100nmを形成することは有効な方法である。スパッタ法では、電界で加速された前記触媒元素が形成の高エネルギー粒子が一部が基板側にも飛来し、非晶質構造を有する半導体層1203の表面近傍、または該半導体層表面に形成した酸化膜中に打ち込まれる。その割合はプラズマ生成条件や基板のバイアス状態によって異なるものであるが、好適には非晶質構造を有する半導体層1203の表面近傍や酸化膜中に打ち込まれる触媒元素の量を1×10¹¹～1×10¹⁴atoms/cm²程度となるようにすると良い。

【0042】その後、触媒元素を含有する層1204を選択的に除去する。例えば、この層が酸化膜で形成されている場合には、硝酸などの溶液で除去することが可能であり、または、フッ酸を含む水溶液で処理すればNi膜と非晶質構造を有する半導体層1203とに形成した酸化膜を同時に除去できる。いずれにしても、非晶質構造を有する半導体層1203の表面近傍の触媒元素の量を1×10¹¹～1×10¹⁴atoms/cm²程度となるようにしておく。そして、図12（B）で示すように、図12（B）と同様に熱アニールによる結晶化工程を行い、結晶質半導体層1205を得ることができる（図12（C））。

【0043】図12または図17で作製された結晶質半導体層1205、1205から晶状半導体層1204～1

法)を複製すれば、実施例1と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中の質量 $(1 \times 10^{-11} \sim 1 \times 10^{-10})$ [atoms/cm²]程度の触媒元素が残留する。勿論、そのような状態でも半導体を完成させることが可能であるが、残留する触媒元素が少なるとチャネル形成領域から剥離する方がより好ましかった。この触媒元素を剥離する手段の一つにラジカルによるゲタリング作用を利用する手段がある。

【(014)】この目的におけるラジカルによるゲタリング処理は、図6(A)で説明した活性化工程で同時に実行することができる。この様子を図17で説明する。ゲタリングが必要ない領域の厚度は高厚度の型不剥離領域の不純物濃度とほぼ等しく、活性化工程の熱処理により、in channel型TFTおよびチャネル型TFTでのチャネル形成領域から触媒元素をその濃度で(1) [10]を含有する不剥離領域が偏析させることができる(図18で示す矢印の方向)。その結果その不剥離領域は $(1 \times 10^{-11} \sim 1 \times 10^{-10})$ [atoms/cm²]程度の触媒元素が偏析した。このようにして複製したTFTはオノ電流値が低く、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。本実施例の構成は、実施例1～3と組み合わせることができる。

【(015)】(実施例5)本実施例では実施例1で複製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を製作する工程を説明する。まず、図19(A)に示すように、図6(B)の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは放電法の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターン化して形成する方法を採用した。このようなスペーサの材料に限定はないが、例えば、JSR社製のDN700を用い、スピンコート塗布した後露光と現像処理によって所定のパターンに形成する。さらにクレープアップなどで $1.5 \mu\text{m} \sim 2.0 \mu\text{m}$ まで加熱して硬化させる。このようにして複製されるスペーサは露光と現像処理の条件によって形状を異ならせることができる。好ましくは、スペーサの形状は矩形で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示パネルとして機械的な強度を確保することができる。矩形は円錐状、角錐状など特別の限定はないが、例えば円錐状としたときに具体的には、高さを $1.5 \mu\text{m} \sim 5 \mu\text{m}$ とし、平均半径を $3 \mu\text{m} \sim 7 \mu\text{m}$ 、平均半径と底辺の半径との比を、 $1 \sim 1.5$ とする。このとき側面のチャネル角は 50° 以下とする。

【(016)】スペーサの配置は任意に決定すれば良い。好ましくは、図19(A)で示すように、画素部においては画素電極169のコンタクト231と重ねて

その部分を覆うように柱状スペーサ170を形成すると良い。コンタクト部231は導電性が確保されこの部分では液晶がうまく配向しないからで、このようにしてコンタクト部231にスペーサを用いる価値を考慮する中で柱状スペーサ170を形成することでアクティブマトリクス型液晶表示装置を製造することができる。また、駆動回路の形成上にもスペーサ170を $4.0 \mu\text{m} \sim 4.5 \mu\text{m}$ を形成しておくと、このスペーサは駆動回路部の全面に覆って形成しても良い。図14で示すようにソース線およびドレイン線を覆うようにして設けても良い。

【(017)】その後、配向膜171を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラジカル処理を施して液晶分子がある一定の方向に分子角を持って配向するようにした。画素部に設けた柱状スペーサ170の頂部からラジカル方向に対してラジカルされない領域が $2 \mu\text{m}$ 以下となるようにした。また、ラジカル処理では静電気の発生がしばしば問題となるが、駆動回路のTFT層上に形成したスペーサ170の $4.0 \mu\text{m} \sim 4.5 \mu\text{m}$ により静電気がTFTを保護する効果を得ることができる。また図7で説明しないが、配向膜171を先に形成してから、スペーサ170の $4.0 \mu\text{m} \sim 4.5 \mu\text{m}$ を形成した構成としても良い。

【(018)】対向側の対向基板101には、透光膜102、透明電極103および配向膜104を形成する。透光膜102はTFT膜、OT膜、A膜などを $1.5 \mu\text{m} \sim 3.0 \mu\text{m}$ の厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシート140(8)で貼り合わせる。シート140(8)にはフレイム(図示せず)が配入されていて、このフレイムとスペーサ170の $4.0 \mu\text{m} \sim 4.5 \mu\text{m}$ によって均一な間隔を持って1枚の基板が貼り合わせられる。その後、両基板の間に液晶材料409を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN液晶の他、電場に対して透過率が連続的に変化する電気光学各等性を示す、無しきい値反複誘電性混合液晶を用いることもできる。この無しきい値反複誘電性混合液晶には、M字型の電気光学各等性を示すものもある。このようにして図14(B)に示すアクティブマトリクス型液晶表示装置が完成する。

【(019)】図15はこのようなアクティブマトリクス基板の上置図を示し、画素部および駆動回路部とスペーサおよび対向側の位置関係を示す上面図である。実施例1で述べたガラス基板101の上には画素部101の周辺に駆動回路として走査信号駆動回路603、映像信号駆動回路604が設けられている。さらに、ソース線102やドレイン線などの信号処理回路607も設けられている。そして、これらの駆動回路は接続配線103によって外部出力端子602と接続されている。画素部604では走査信号駆動回路603から送られるデータ駆動線605と映像信号駆動回路604から送られるドレ

は、伝染群のりきりマックス値に交通して画素を形成し、各画素にはそれぞれ画素の下で1と保持容量の1とが設けられている。

として、図 4 において、直線部に、1 段の段差を付与する。すなわち、直線部に設けられても良好な、図 4 によって得られるようにマトリクス状に配列した直線部の数値が、約十個おきに設けられてもよい。即ち、直線部を構成する直線部の全数に対するマトリクス状の数値の割合は、2 ～ 10 となり得ることと可能である。また、駆動回路部に設けるスイッチ・3 個のうち、1 個以上はその全数を書き加えて設けても良好に、各々下部のノーズおよびレイ・配線の位置にあわせて設けられても良好、図 4 中では駆動回路部に設けるスイッチ・3 個の配置をより一層と示す。そして、図 4 中、左側のシリコン・1 は、基板、右側の上面部は、その上部を走査信号駆動回路とする。走査信号駆動回路としては、その他の信号処理回路より、外側であって、外部出力端子より 2 点とを有し得るに形成する。

(図10、11) このようなアクティブマトリクス型液晶表示装置の構成を図16の料理図を参照して説明する。図17においてアクティブマトリクス基板4は、ガラス基板1(1)上に形成された、画素部6の4枚と、走査信号駆動回路6の5と、画像信号駆動回路6の6と、その他の信号処理回路7から7とで構成される。画素部6の4には画素T₁で2⁴×4と保持容量2の5が接続され、画素部の周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路6の6と画像信号駆動回路6の6の4は、それぞれ駆動トランジスタと電極と連続して形成される場合は図6のB、C、Dに相当する)とトース線6の4(画素部6の4)に延在し、画素T₁で6の4に接続している。また、フレキシブルプリント配線板(Flexible Printed Circuit) : FPC6の3(外部入力端子6の2)に接続しては画像信号を入力するに用いる。FPC6の3は補強樹脂6の4によつて強固に接着されている。そして接続配線6の3でそれぞれ駆動回路に接続している。また、(何項基板1)には図17に示していない遮光膜や透明電極(設けられて

【００１０】このような構成の液晶表示装置は、実施例１～３で示したアクティブマトリクス基板を用いて形成することができる。実施例１で示すアクティブマトリクス基板を用いれば反射型の液晶表示装置が得られ、実施例３で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができ、

【0103】実施例6図13は実施例1～5で示したアクティブマトリクス基板の回路構成の一例であり、直視型の表示装置の回路構成を示す図である。このアクティブマトリクス基板は、画像信号駆動回路606、垂直信号駆動回路607（8）608、垂直部604を有している。尚、本明細書中において記した駆動回路とは、画像信号駆動回路606、垂直信号駆動回路608を含む。

[illegible][illegible]

【0107】サマリニ宮路53.1はアサロアベック
 路から成り、駆動電圧が、4～16Vであるが、機体が
 交互に反転して駆動される上、0V電流値を低減する
 必要があるため、図5(8)で示す第2のチャネルF₂は
 F₁より2倍と見做し、チャネル型F₂はF₁より2倍で形成
 することが望ましい。或いは、0V電流値を効率的に低
 減させるために図5(8)で示す第2のチャネル型F₂
 F₁の3倍と見做し、チャネル型F₂はF₁の3倍で形成
 してよい。

【(6)】また、通素部は駆動電圧が14～15Vであり、低消費電力性の観点からサブ・シングレギュレータもさらにその電流値を低減することが要求され、図1

(B)で示す面積は、図20-4のように、アツチゲールと、
造り紙とが、

【0.03】同 本実施例の構成は、実施例1～3に示した工程に従ってメモリを製作することによって容易に実現することができ、本実施例では、画素部と駆動回路部の構成のみが異なるが、実施例1～3の工程に加えれば、その他にも信号分割回路、分周発振回路、D/Aコンバータ、補正回路、オプアンプ回路、さらにメモリ回路や演算処理回路などの信号処理回路、あるいはメモリ回路を同一基板に形成することが可能である。このように、本発明は同一基板上に画素部とその駆動回路部を含む単一基板装置、例えば信号分割回路および画素部を具備した液晶表示装置を実現することができ、

【例 1-9】〔実施例 9〕本実施例では、実施例 9 のアノ
ディマトリクス基板を用いてエレクトロニクス装置に
ス・EL (Electro Luminescence) 材料を用いた自発光
型の表示パネル 1 以下、EL 表示装置と記す) を作製す
る例について説明する。図 1-9 A は本発明を用いた
EL 表示パネルの上面図である。図 1-9 B、C におい

で、110は基板、111は画素部、112はソース駆動回路、113はドット駆動回路であり、それぞれ駆動回路は図14～16を経てE1117に至り、本部機器へと接続される。

【0110】図19（B）は図19（A）のA-A断面を表す図であり、このとき、少なくとも画素部上、対向板30はシールド層9でE112とE113層が形成されている。シールド層11にはフローラ（図示せず）が埋められていて、このフローラによりほぼ均一な間隔を持って2枚の基板が貼り合わされている。さらに、シールド層11の外側はE1117の上面及び周辺は封止層117で密封する構造とする。封止層117にはシリコン樹脂、エポキシ樹脂、フェノール樹脂、ブチルゴムなどの材料を用いる。

【0111】このように、シールド層11によりアクティブマトリクス基板11と対向基板30とが貼り合わされると、その間には空間が形成される。その空間には空填剤80が充填される。この空填剤80は対向板30を保護する効果も合わせ持つ。空填剤80はPVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラール）またはEVA（エチレンビニルアセテート）などを用いることができる。また、E113層はガラスをはしめ湿気に弱く劣化しやすいので、この空填剤80の内部に酸化バリウムなどの乾燥剤を混入させておくと吸湿効果を保持できるのが望ましい。また、E113層上に酸化シリコン膜や酸化窒化シリコン膜などで形成するバンプシールド層82を形成し、空填剤80に含まれるアルカリ元素などによる腐蝕を防ぐ構造とすることができる。

【0112】対向板30にはガラス板、アルミニウム板、フエレンス板（FRP: Fiberglass-Reinforced Plastic）板、PVP（ポリビニルアルコール）フィルム、マイラーフィルム（デュポン社の商品名）、ポリエステリフィルム、アクリルフィルムまたはアクリル板などを用いることができる。また、数ミリのアルミニウム箔をPVPフィルムやマイラーフィルムで挟んだ構造のシートを用い、耐湿性を高めることもできる。このようにして、E11素子は密閉された状態となり外気から遮断されている。

【0113】また、図19（B）において基板11（下地膜11）上に駆動回路用TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたC4Hの色路を図示している。）22及び画素部用TFT21（但し、ここではE11素子への電流を制御するTFTで図示している。）が形成されている。これらのTFTの内部にnチャネル型TFTにはホトキミリア効果によるオン電流の低下や、Vthシフトやバイアスドリフトによる特性低下を防ぐため、本実施形態で示す構

成と同じ領域が設けられている。

【0114】例えば、駆動回路用TFT21として、図19（B）に示すnチャネル型TFT21と、図19（B）に示すpチャネル型TFT22とを組み合わせれば良い。また、画素部用TFT22としては図19（B）に示す画素部TFT22aまたはそれと同等な構造を有するnチャネル型TFTを用いれば良い。

【0115】図19（B）または図19（A）の状態のアクティブマトリクス基板からE11表示装置を作製するには、フローラ、ドレイン層上に絶縁材料となる層間絶縁膜（単層絶縁）20を形成し、その上に画素部用TFT22（nチャネル）と電気的に接続する透明導電膜となる画素電極23を形成する。透明導電膜としては、酸化インジウムと酸化ガリウム化合物（ITO）と呼ばれる。または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極23を形成したら、絶縁膜23を形成し、画素電極23上に開口部を形成する。

【0116】次に、E11層29を形成する。E11層29は公知のE11材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、E11材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の異なる方法を用いることが可能である。

【0117】E11層はレーザーマスクを用いて蒸着法、またはインクジェット法、ディスペンサー法等で形成する。いずれにしても、画素毎に波長の異なる発光が可能な発光層（赤色発光層、青色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のE11表示装置とすることもできる。

【0118】E11層29を形成したら、その上に陰極30を形成する。陰極30とE11層29の界面に存在するバンプや酸等は極力排除しておくのが望ましい。従って、真空中でE11層29と陰極30を連続して形成するか、E11層29を不活性雰囲気で形成し、大気解放しないで真空中で陰極30を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜が可能とする。

【0119】なお、本実施例では陰極30として、LiF、Ca化リチウム膜とAl、AlとMg合金膜の積層構造を用いる。具体的にはE11層29の上には蒸着で10nmのLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の

好ましくは40〜150nmとすれば良い。但し、以上の例は発光層として用いることができる有機EL材料の一例であって、これに限定する必要はない。発光層、電荷輸送層または電荷注入層を自由に組み合わせ、発光層、発光及びそのためのキャリアの移動を行わせるための層を形成すれば良い。例えば、本実施例ではポリカーボネート材料を発光層として用いるが、低分子有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化水素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0112】本実施例では発光層40の上にP-EH-DT（ポリチニデン）またはP-Ar-DT（ポリアロキ）でなる正孔注入層41を設けた積層構造とした層を形成する。そして、正孔注入層41の上には透明導電膜である陽極42が設けられる。本実施例の場合、発光層40で生成された光は上面側に向かってTFT27の上方に向かって放射される。陽極は透光性でなければならぬ。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温度で成膜できるものが好ましい。

【0113】陽極42で形成された極点でEL素子2400が形成する。なお、ここでいうEL素子2400は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図21（A）に示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0114】ところで、本実施例では、陽極47の上にさらに第2のインジウム酸化物層48を設けている。第2のインジウム酸化物層48としては酸化水素膜または窒化酸化水素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0115】以上のように本実施例のEL表示パネルは図21のような構造で画素からなる画素部を有し、オフ電圧値が十分に低いスイッチング用TFTと、ソース電極に注入した電流制御用TFTとを有する。従って、高い信頼性をとし、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0116】図21（B）はEL層の構造を反転させた例を示す。電流制御用TFT2600は図5（B）のpチャネル型TFT200を用いて形成される。作製プロセスでは実施例1を参照すれば良い。本実施例では、画素電極（陽極）50として透明導電膜を用いる。具体的に

は酸化インジウムと酸化亜鉛との化合物である導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物である導電膜を用いても良い。

【0117】そして、絶縁膜であるTFT2600のゲートが形成された後、基板露出によりp-ヒモルサリド/ゾーシドなる発光層52が形成される。その上にはインジウム酸化物/セネオート（ITO）膜と表記される。70nmの電子注入層53、アルミニウム合金である陰極54が形成される。この場合、陰極54がインジウム酸化物としても機能する。こうしてEL素子2600が形成される。本実施例の場合、発光層52で発生した光は、矢印で示されるようにTFTで形成された基板の方向に向かって放射される。本実施例のような構造とする場合、電流制御用TFT2600はpチャネル型でTFTで形成することも好ましい。

【0118】尚、本実施例の構成は、実施例1〜2のTFT27の構成を自由に組み合わせることも可能である。また、実施例2の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0119】「実施例3」本実施例では、図21（B）に示した回路図とは異なる構造の画素とした場合の例について図22に示す。なお、本実施例において、2700はスイッチ、2701はソース配線、2702はスイッチング用TFT2702のゲート配線、2703は電流制御用TFT、2704はコンデンサ、2705、2706は電流供給線、2707はEL素子とする。

【0120】図22（A）は、二つの画素間で電流供給線2705を共通とした場合の例である。即ち、二つの画素が電流供給線2705を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精密化することができる。

【0121】また、図22（B）は、電流供給線2703をゲート配線2703と平行に設けた場合の例である。なお、図22（B）では電流供給線2703とゲート配線2703とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線2703とゲート配線2703とで専有面積を共有させることができるため、画素部をさらに高精密化することができる。

【0122】また、図22（C）は、図22（B）の構造と同様に電流供給線2705をゲート配線2703と平行に設け、さらに、二つの画素を電流供給線2705を中心に線対称となるように形成する点に特徴がある。また、電流供給線2703をゲート配線2703のいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精密化することができる。【0123】

【0142】図22(B)では電流制御用でFで2404のゲートにかかる電圧を保持するためにコンデンサ2408を設ける構造としているが、コンデンサ2408を省略することも可能である。

【0143】電流制御用でFで2404として図22

【0144】図22(A)は電流制御用のチャネル型FETを用いているため、ゲート駆動電圧を介してゲート電極と重なるように設けられたしじり領域を有している。この重なり合った領域には一般的にチャネル容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ2408の代わりとして積極的に用いるのに特徴がある。この寄生容量のチャネル部分には上記ゲート電極としじり領域とが重なり合った領域で変化するため、その重なり合った領域に含まれるしじり領域の長さによって決まる。また、図22(A)、(B)、(C)の構造においても同様にコンデンサ2408を省略することは可能である。

【0145】本実施例の構成は、実施例1〜2のTFTの構成を自由に組み合わせることで実施することが可能である。また、実施例9の電子機器の表示部として本実施例のBも表示パネルを用いることは有効である。

【0146】(実施例9)本実施例では、本発明のTFTで回路によるアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について図23、図24、図25で説明する。

【0147】このような半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図23と図24に示す。

【0148】図23(A)は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本発明は音声出力部9002、音声入力部9003、及びアクティブマトリクス基板を備えた表示装置9004に適用することができる。

【0149】図23(B)はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、アンテナ9105、受像部9106から成っている。本発明は音声入力部9103、及びアクティブマトリクス基板を備えた表示装置9102、受像部9106に適用することができる。

【0150】図23(C)はモバイルコンピュータ或いは携帯型情報端末であり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本発明は受像部9203、及びアクティブマトリクス基板を備えた表示装置9205に適用することができる。

【0151】図23(D)はヘッドマウントディスプレイであり、本体9301、表示装置9302、アーム部

9303で構成される。本発明は表示装置9302に適用することができる。また、表示されていないが、その他の信号制御回路に使用することもできる。

【0152】図24(A)は投影型プロジェクターであり、本体9401、光源9402、表示装置9403、偏光プリズム9404、スクリーン9405で構成される。本発明は表示装置9403に適用することができる。

【0153】図24(B)は携帯書籍であり、本体9501、表示装置9502、記憶媒体9503、操作スイッチ9504、アンテナ9505から構成されており、液晶スクリーン9506に記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置9502、9503は直視型で表示装置であり、本発明はこの通り適用することができる。

【0154】図24(C)はパーソナルコンピュータであり、本体9601、画像入力部9602、表示装置9603、キーボード9604で構成される。

【0155】図24(D)はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体9701、表示装置9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームインターネットを行うことができる。

【0156】図24(E)はデジタルカメラであり、本体9801、表示装置9802、撮像部9803、操作スイッチ9804、受像部9805から構成される。

【0157】図25(A)はプロジェクタ型プロジェクターであり、表示装置9901、スクリーン9902で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0158】図25(B)はリア型プロジェクターであり、本体9701、投射装置9702、ミラー9703、スクリーン9704で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0159】なお、図25(C)は、図23(A)及び図23(B)中における投射装置9601、9702の構造の一例を示した図である。投射装置9601、9702は、光源光学系9801、ミラー9802、9803、9804、3806、グレアロイックミラー9807、プリズム9807、液晶表示装置9808、透明基板9809、投射光学系9810で構成される。投射光学系9810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図25(C)において矢印で示した光路に実施者が適宜、光学シフト、偏光機能等を有するプリズムや、位相差を調節する位相シフトフィルム、1/4波長板等の光学系を設けてもよい。

【0167】また、図25(1)は、図25(1)中における光電光学系3801の構造の一部を示した図である。本実施例では、光電光学系3801には、リフレクター3811、光導3812、光導ファイバ3813、3814、偏光変換素子3815、集光レンズ3816で構成される。なお、図25(1)に示した光電光学系は一面であって時に起るために、例えば、光電光学系に集光器が適宜、光学シフト、偏光機能等を有するコンプリメント、位相差を調節するマウス、ミスマウス等光学系を設けてもよい。

【0168】また、本発明はその他にも、イメージセンサやE型表示素子に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

【0169】(実施例1) 実施例1において第1のエッチング処理と第2のエッチング処理は、ゲート電極の形成を前提としてW、Ta、Ti、Moから選ばれた

元素、またはこれらの元素を組み合わせた合金からなる導電膜を対象とするものである。エッチングにおいては、対象とする導電膜のエッチング速度と、下地にある絶縁膜との選択性を共に考慮する必要がある。選択比が高いほど、選択が容易となり、所望のW膜を形成することができなくなる。

【0170】エッチング速度の評価は、ガラス基板上にW膜または酸化窒化シリコン膜を形成した試料を用いて行った。マスクを形成するレジストは1500nmの厚さに形成し、そのエッチング速度も評価した。エッチングはRFエッチング装置を用いて行い、エッチングガスとして CF_4 と O_2 の混合ガスを用いた場合(条件1)、 CF_4 と Cl_2 と O_2 の混合ガスを用いた場合(条件2)について調べた。表1にその結果を示す。

【0171】

【表1】

条件	①エッチング速度 nm/min	②酸化窒化シリコン膜のエッチング速度 nm/min	③W膜のエッチング速度 nm/min	選択比	
				①/②	①/③
CF_4/Cl_2	54.5	35.0	61.7	1.65	0.89
$CF_4/Cl_2/O_2$	34.3	24.2	94.1	1.34	1.01

【0162】表2はエッチング時間に対する酸化窒化シリコン膜の膜厚の減少量を示す。エッチングは上記と同様に条件1と条件2を比較した。試料はガラス基板上に3.0nmのシリコン膜と2.0nmの酸化窒化シリコン

膜を積層させたものを用いた。図26にエッチング時間に対する膜厚の減少量のグラフを示す。

【0163】

【表2】

No	条件				Si膜の量			
	CF_4 流量 (sccm)	Cl_2 流量 (sccm)	使用ガス	エッチング時間 (sec)	平均 (nm)	MAX (nm)	MIN (nm)	RANGE (nm)
①-1	500	20	CF_4/Cl_2	10/30	60	40.00	50.8	27.0
①-2	500	20	CF_4/Cl_2	30/30	120	50.05	57.7	48.9
②-1	500	20	$CF_4/Cl_2/O_2$	25/25/10	50	33.79	42.7	26.5
②-2	500	20	$CF_4/Cl_2/O_2$	25/25/10	80	44.45	56.5	31.5
②-3	500	20	$CF_4/Cl_2/O_2$	25/25/10	100	57.32	78.0	31.5
②-4	500	20	$CF_4/Cl_2/O_2$	25/25/10	120	58.74	82.4	43.7

圧力: 1Pa(一定)

【0164】表1と表2の結果において、エッチングガスに O_2 が添加されているがW膜のエッチング速度は低下し、酸化窒化シリコン膜のエッチング速度は低下している。即ち、下地との選択比が向上していることを示している。W膜のエッチング速度が向上するのは、 O_2 の添加によりフッ素ラジカルの量が多くなるためである。また、酸化窒化シリコン膜のエッチング速度が低下するのは、 O_2 の添加によりレジストの成分である炭素が酸素と結合し CO_2 が形成され、炭素の量が減少することで酸化窒化シリコン膜のエッチング速度が低下するものと考えることができる。

【0165】エッチングにより加工される導電膜の形状は走査電子顕微鏡(SEM)により観察した。評価した試料は、ガラス基板上に100nmの酸化窒化シリコン膜、400nmのW膜が形成されているものを用いた。

第1のエッチング処理(テーパエッチング)は、エッチング用ガスに CF_4 を3.0sccmと Cl_2 を0.0sccmとし、1Paの圧力で3.2W/cm²のRF(13.56MHz)電力を投入し、基板側(試料スチージ)にも2.2W/cm²のRF(13.56MHz)電力を投入して行った。図27にこの条件下でエッチング処理を行って得られる試料の断面形状をSEMにより観察した結果を示している。W膜の端部に形成されるテーパ部の角度は約30度となっている。

【0166】その後、上記条件1と条件2により第2のエッチング処理(異方性エッチング)を行い比較評価した。図28は条件1により処理された試料、また図29は条件2により処理された試料をSEMにより観察した結果を示す。図28、図29共に同じ形状が得られている。但し、 CF_4 と Cl_2 の混合ガスに O_2 を加えること

によりW膜のエッチング速度並びにレジストのエッチング速度が向上するので、図29に示す条件で形成された材料の寸法が細くなっている。しかし、酸化窒化シリコン膜の膜厚の減少量が見ると、条件2の方が大きく選択加工によって優れていると判断することができる。

【0163】以上、異なる発露領域から、第1のエッチング処理と第2のエッチング処理において、エッチング液としてF₂とC₂F₄の混合ガスを採用することができる。このようなエッチング液がけを選択したとしても、チーイーエ、チーイーとすることが、異方性エッチングとするか、基板側に加えるバイアス電力の制御により行うことができる。

【0164】実際のTFTにおいてLDDが設計は、W膜の膜厚と、第1のエッチング処理によるチーイー角エッチ、第2のエッチング処理によるレジストのエッチング量から見積もることができる。例えば、図3において、W膜の厚さが4.0nmである場合、第1のエッチング処理により形成されるチーイー部の角度が、130°程度とすると、第2の不純物領域(A)121のチャネル長方向の長さは700nmとなる。第2のエッチング処理によるレジストの減少量は表2より4.4nm/m、なのであるとそれを考慮すると325nmのLDD10(1)が形成されると見積もることができる。実際には膜厚やエッチング速度に多少のばらつきがあるので、多少の増減はあるが、このようなエッチング処理により約1μmのLDDを形成することができる。

【0165】図3は第1のエッチング処理として表2の条件を採用し、第2のエッチング処理として表2の条件を採用して作製されたTFTのゲート電圧(V_g)、対バイアス電流(I_{ds})特性を示す。TFTの寸法はチャネル長700nm、チャネル幅800μmであり、LDD(L_{off})は1.5μmが見積もられている。図3はnチャネル型TFTの特性を示し、LDD(L_{off})によりゲート電圧-4.5V、ドレイン電圧14Vの時のオフ電流は6.5pAが得られている。

【0166】

【発明の効果】本発明を用いることで、同一の基板上に複数の機能回路が形成された半導体装置（ここでは具体的には電気光学装置）において、その機能回路が要求する仕様に於て適切な性能のTFTを配置することが可能となり、その動作特性を大幅に向上させることができる。

【0167】本発明の半導体装置の作製方法に従えば、駆動回路部のpチャネル型TFT、nチャネル型TFTおよび画素TFTをゲート電極と一重なるLDD構造としたアクティブマトリクス基板を5枚のフォトリソ工程で製造することができる。LDD領域をn導電型の不純物元素の濃度を適したものとすることができる。このようなアクティブマトリクス基板から反射型の液晶表示装置を作製することができる。また、同工程に従えば透過

型の液晶表示装置を5枚のフォトリソで製造することができる。

【0168】本発明の半導体装置の作製方法に従えば、ゲート電極を耐熱性導電性材料で形成し、ゲート配線を低抵抗導電性材料で形成したTFTにおいて、駆動回路部のnチャネル型TFT、pチャネル型TFTおよび画素TFTをゲート電極と重なるLDD構造としたアクティブマトリクス基板を5枚のフォトリソで製造することができる。このようなアクティブマトリクス基板から反射型の液晶表示装置を作製することができる。また、同工程に従えば、透過型の液晶表示装置を5枚のフォトリソで製造することができる。

【図面の簡単な説明】

【図1】 本発明のTFTの作製方法を説明する図。

【図2】 図1に示したLDD領域の不純物元素の濃度分布を説明する図。

【図3】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図4】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図5】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図6】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図7】 駆動回路のTFTと画素TFTの構造を示す上面図。

【図8】 駆動回路のTFTと画素TFTの構造を示す断面図。

【図9】 駆動回路のTFTの構成を示す断面図。

【図10】 画素TFTの構成を示す断面図。

【図11】 画素部の画素を示す上面図。

【図12】 結晶質半導体層の作製工程を示す断面図。

【図13】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図14】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図15】 液晶表示装置の出力端子、配線、回路配置（スパーサ、シー）の配置を説明する上面図。

【図16】 液晶表示装置の構造を示す断面図。

【図17】 結晶質半導体層の作製工程を示す断面図。

【図18】 アクティブマトリクス型表示装置の回路構成を説明するブロック図。

【図19】 EL表示装置の構造を示す上面図及び断面図。

【図20】 EL表示装置の画素部の断面図。

【図21】 EL表示装置の画素部の上面図と回路図。

【図22】 EL表示装置の画素部の回路図の例。

【図23】 半導体装置の一例を示す図。

【図24】 半導体装置の一例を示す図。

【図25】 反射型液晶表示装置の構成を示す図。

【図26】 エッチング時間と酸化窒化シリコン膜の膜厚の減少量を示すグラフ。

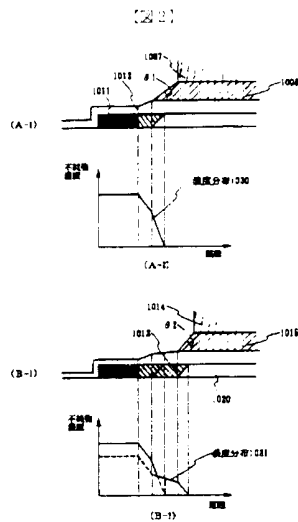
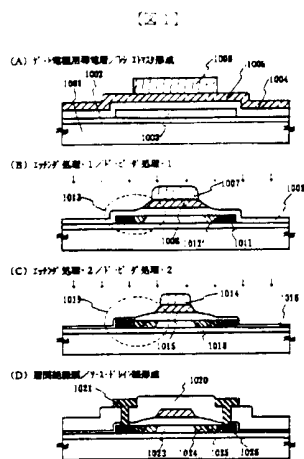
【図27】 第1のエッチング処理により加工されるW膜の断面形状を示すSEM像。

【図28】 (1)F4と(1)の混合ガスを用いた第2のエッチング処理により加工されるW膜の断面形状を示すSEM像。

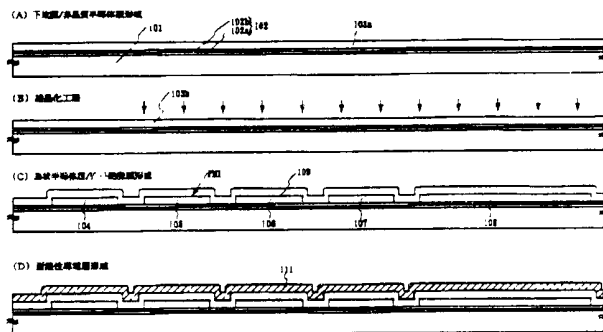
SEM像。

【図29】 (1)F4と(1)の混合ガスを用いた第2のエッチング処理により加工されるW膜の断面形状を示すSEM像。

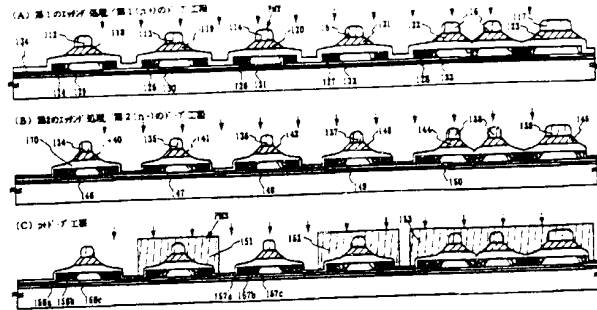
【図30】 TETの静電性を示すグラフ。



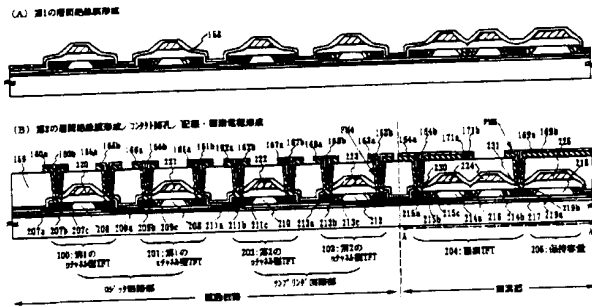
【図3】



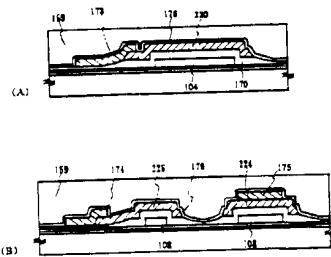
【図4】



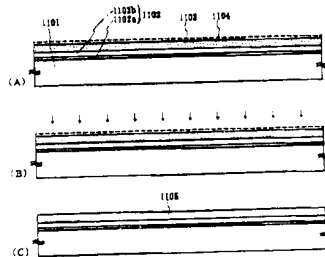
【図5】



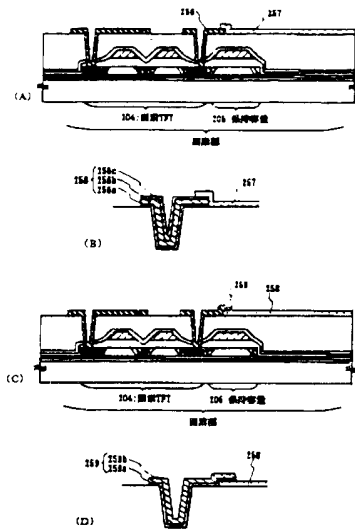
【図8】



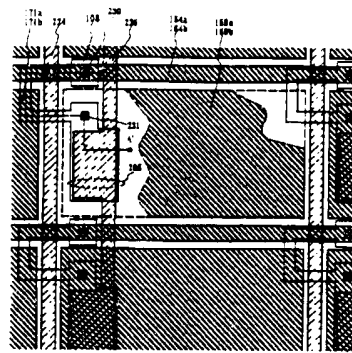
【図12】



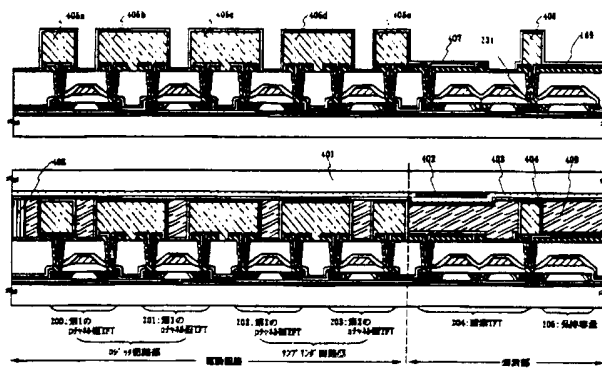
【図10】



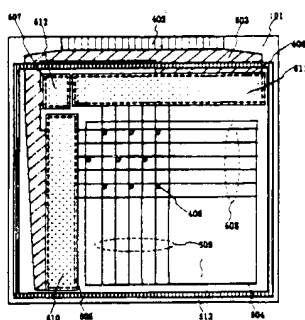
【図11】



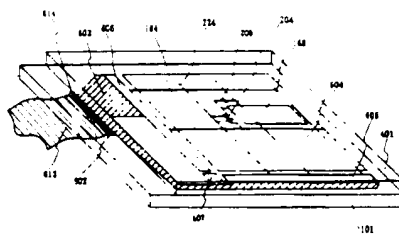
【図14】



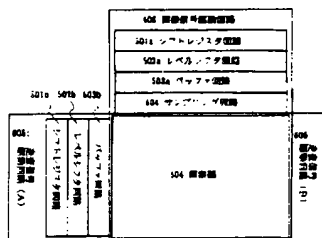
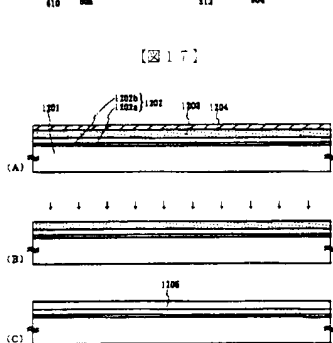
【図15】



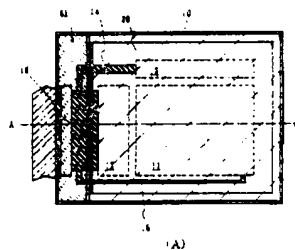
【図16】



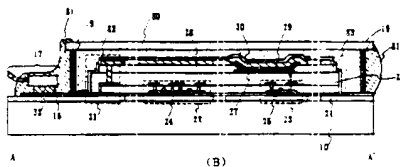
【図17】



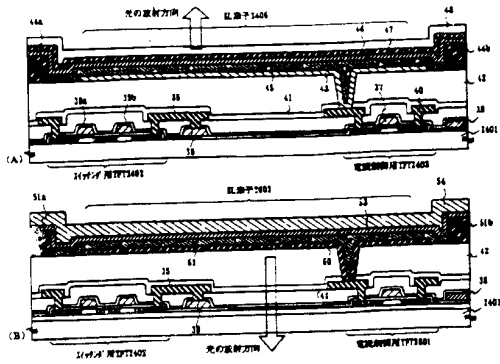
【図18】



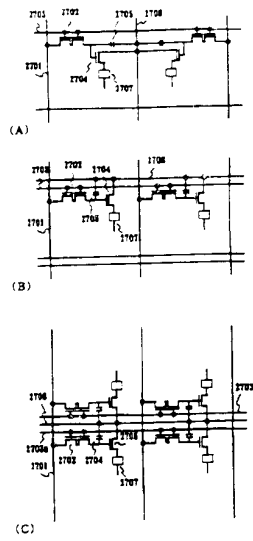
【図27】



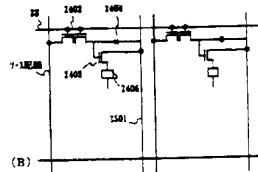
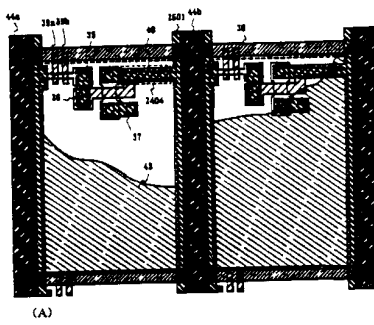
【図20】



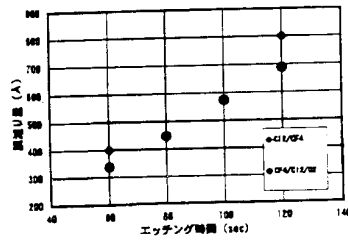
【図21】



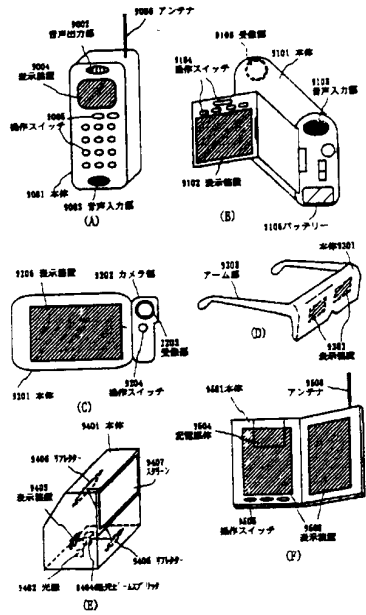
【図22】



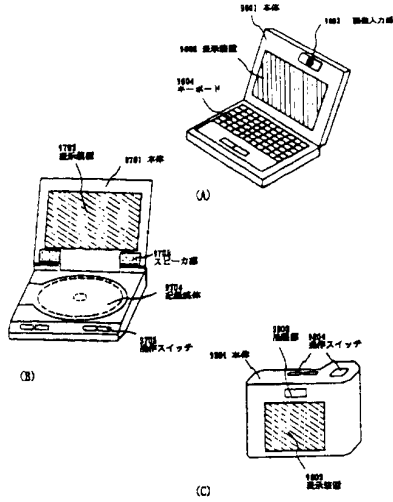
【図23】



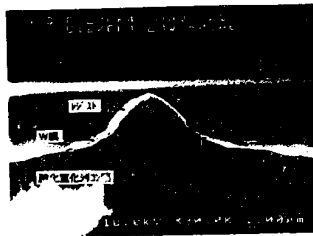
【図23】



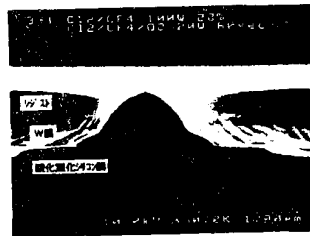
【図24】



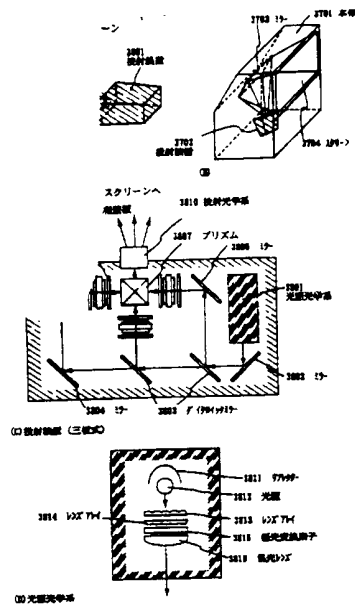
【図28】



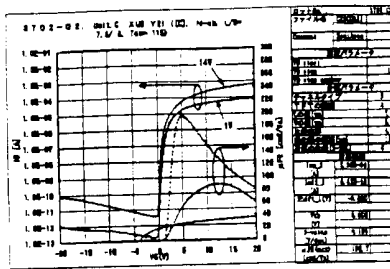
【図29】



【図25】



【図30】



フロントページの続き

(51) Int. Cl. 7

識別記号

FI
H01L 29/78

6-72-1 (参考)

616A
617K